

CURRICULUM VITAE DI ALBERTO GHIRIBALDI

Curriculum Vitae aggiornato al 15 gennaio 2014

FORMAZIONE SCOLASTICA

Dottorato di ricerca

Università degli Studi di Ferrara

Area Scientifica: Scienze dell'Ingegneria

Titolo della tesi: Tecniche per la progettazione e l'implementazione di network-on-chip multi-sincrone ed asincrone

Supervisore: Prof. Bertozzi Davide

Periodo: Gennaio 2011 → Gennaio 2014

Laurea specialistica in Ingegneria e tecnologie per le telecomunicazioni e l'elettronica

Università degli Studi di Ferrara

Voto di Laurea: 110 su 110 con lode — Periodo: 2007 → 2010

Titolo della tesi: Progettazione di una rete duale asincrona per la segnalazione dei guasti in reti di interconnessioni integrate

Relatore: Prof. Bertozzi Davide

Correlatori: Ludovici Daniele, Strano Alessandro

Argomento della tesi: Architettura dei Sistemi Digitali

Laurea di primo livello in Ingegneria elettronica e delle telecomunicazioni

Università degli Studi di Ferrara

Voto di Laurea: 108 su 110 — Periodo: 2004 → 2007

Titolo della tesi: Procedure per la taratura ed il controllo metrologico di strumenti nel settore della compatibilità elettromagnetica

Relatore: Caniato Gianluca

Argomento della tesi: Compatibilità Elettromagnetica

ESPERIENZE LAVORATIVE

Columbia University

Località: New York, U.S.A. — *Periodo:* Settembre 2011 → Dicembre 2011

Obiettivi Principali: Imparare lo stile di progettazione di circuiti asincroni. Progettazione e sviluppo dell'architettura di uno switch per Network-on-Chip asincrono, con requisiti di bassa occupazione di area e consumo di potenza.

Intel Mobile Communications

Località: Monaco, Germania — *Periodo:* Maggio 2011 → Agosto 2011

Obiettivi Principali: Progettazione e sviluppo di una rete di interconnessione modulare e scalabile, per monitoraggio della comunicazione dei processori e debug software. Sviluppo di modelli SystemC per l'analisi ad alto livello e design hardware a livello RTL.

I risultati di questo lavoro hanno portato all'ottenimento di un brevetto da parte di Inter Mobile Communications.

COMPETENZE LINGUISTICHE

Lingua madre:

Italiano

Lingua inglese:

Molto Buona

Letta:

Molto Buona

Scritta:

Molto Buona

Parlata:

Molto Buona

COMPETENZE
INFORMATICHE

Sistemi Operativi: Linux, Windows
Linguaggi di Descrizione dell'Hardware: Verilog, VHDL, SystemC, C++
Altri linguaggi e/o ambienti di programmazione: Matlab, LabView, Modelsim, Microsoft Office, OpenOffice, LaTeX
Tool di Sintesi: Synopsys Design Compiler
Tool di Place & Route : Synopsys ICC
Tool di Simulazione Elettrica: HSPICE
Librerie Tecnologiche Utilizzate: STMicroelectronics 65nm, Intel 40nm, STMicroelectronics 28nm.

PUBBLICAZIONI

System-Level Infrastructure for Boot-time Testing and Configuration of Networks-on-Chip with Programmable Routing Logic

Conferenza: VLSI-SoC 2011 – Hong Kong, Cina

Power Efficiency of Switch Architecture Extensions for Fault Tolerant NoC Design

Conferenza: Lighter-than-Green Dependable Multicore Architectures, 2012 – San Jose, U.S.A.

Non-intrusive trace & debug noc architecture with accurate timestamping for GALS SoCs

Conferenza: CODES+ISSS 2012 – Tampere, Finlandia

A Transition-Signaling Bundled Data NoC Switch Architecture for Cost-effective GALS Multicore Systems

Conferenza: DATE 2013 – Grenoble, Francia – CANDIDATO BEST PAPER

A Complete Self-Testing and Self-Configuring NoC Infrastructure for Cost-Effective MPSoCs

Giornale: TECS, Giugno 2013

A vertically Integrated and Interoperable Multi-Vendor Synthesis Flow for Predictable NoC Design in Nanoscale Technologies

Conferenza: ASP-DAC 2014 – Singapore, Malesia

A Feature-Rich NoC Switch with Cross-Feature Optimizations for The Next Generation of Reliable and Reconfigurable Embedded Systems

Conferenza: INA-OCMC 2014 – Vienna, Austria

Assessing the Energy Break-Even Point between an Optical NoC Architecture and an Aggressive Electronic Baseline

Conferenza: DATE 2014 – Dresden, Germania

ATTIVITÀ
PROFESSIONALE

Programma di dottorato su Architetture dei Sistemi Digitali

Obiettivo principale: studiare e sviluppare flussi di progetto per le nuove generazioni di System-on-Chip per sistemi embedded, caratterizzati da multipli domini di clock e requisiti di area e potenza molto bassi.

Competenze principali:

- modellazione architetturale a livello RTL utilizzando SystemC o Verilog
- soluzioni circuitali autotemporizzate
- soluzioni circuitali eterocrone basate su sincronizzatori
- sintesi logica e sintesi fisica di circuiti digital integrati
- progettazione a livello layout di sistemi basati su Network-on-Chip, sia General Purpose che Application Specific

Revisore per Conferenze Tecniche e Giornali Internazionali

Technical Program Committee serviti:

- NOCS - International Symposium on Networks-on-Chip
- DATE - Design, Automation & Test in Europe
- TCAD - IEEE Transactions On Computer-Aided Design Of Integrated Circuits And Systems
- TODAES - ACM Transactions on Design Automation of Electronic Systems
- TVLSI - IEEE Transactions On Very Large Scale Integration (VLSI) Systems
- TECS - ACM Transaction on Embedded Computing
- TCAS - IEEE Transactions on Circuits and Systems
- Integration, the VLSI Journal - Elsevier

Supervisione tecnica di Tesisti e Tirocinanti

- Giuseppe Cota, tesi su iniezione automatica di guasti transistori
- Nicola Bertoni, progetto su parametrizzazione di uno switch per NoC asincrono
- Giuseppe Cota, progetto su caratterizzazione di robustezza di una architettura di uno switch tollerante ai guasti
- Gabriele Miorandi, insegnamento dell basi della progettazione asincrona e del flusso di sintesi e layout industriale per circuiti integrati

PRESENTAZIONE
PERSONALE

Negli ultimi anni ho fatto parte del gruppo di ricerca MPSoC dell'Università di Ferrara, guidato dal Prof. Davide Bertozzi. La mia ricerca é stata focalizzata nella progettazione di circuiti digitali integrati, in particolare nella progettazione di reti di comunicazione integrate, o Network-on-Chip.

Qui ho imparato a lavorare in un gruppo motivato e dinamico, dove ho inizialmente imparato da ragazzi più esperti, ed in seguito seguito studenti più giovani.

In questi anni ho compiuto diversi viaggi di lavoro in tutto il mondo, dove ho potuto sia esercitare la lingua inglese, sia fare esperienza di un contesto lavorativo internazionale e multiculturale.

Mansioni svolte:

- Modellazione di architetture a livello RTL, utilizzando Verilog e SystemC.
- Sintesi logica e generazione di layout di sistemi digitali integrati.
- Studio di strategie di testing integrate, Built-in Self-test, fault tolerance.
- Progettazione di architetture digitali asincrone e autotemporizzate.
- Supervisione di studenti, tesisti ed altri dottorandi.

Ferrara, 15 gennaio 2014
